

引用格式: 李帅, 蔡小五, 隋振超. 锗硅外延工艺优化对 28 nm PMOS 器件性能的改善[J]. 微电子学与计算机, 2020, 37(5): 28-32. [LI S, CAI X W, SUI Z C. Improvement of 28nm PMOS device performance by SiGe EPI technology optimization [J]. Microelectronics & Computer, 2020, 37(5): 28-32.]

锗硅外延工艺优化对 28 nm PMOS 器件性能的改善

李 帅¹, 蔡小五², 隋振超³

(1 中国科学院大学 微电子学院, 北京 100029; 2 中国科学院 微电子研究所, 北京 100029; 3 中芯国际集成电路制造有限公司, 北京 100176)

摘 要: 在 28 nm CMOS 技术节点, 锗硅技术在器件沟道产生压应力可以提高 PMOS 电学性能. 在选择性锗硅外延工艺基础上对锗含量进行细化阶梯分布, 此阶梯式分布能避免因锗含量过高产生位错而进一步提高总体应力效果. 通过研究发现, 薄膜堆叠层的厚度和锗元素浓度是影响器件性能的重要因素, 实验对堆叠层厚度和锗浓度同时改变比单独改变一种影响因素获得的器件性能更好, 器件的饱和电流和漏电流的性能(I_{dsat} - I_{off})可以提高 7%, 同时, 器件阈值电压和饱和电流的性能(V_{tsat} - I_{dsat})、器件阈值电压和漏电流(V_{tsat} - I_{off})性能、漏致势垒降低(DIBL)效应也有相应的改善.

关键词: 锗硅外延; 薄膜堆叠层; 器件性能; PMOS 器件

中图分类号: TN482

文献标识码: A

文章编号: 1000-7180(2020)05-0028-05

Improvement of 28 nm PMOS device performance by SiGe EPI technology optimization

LI Shuai¹, CAI Xiao-wu², SUI Zhen-chao³

(1 College of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, China;

2 Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

3 Semiconductor Manufacturing International Corporation(SMIC), Beijing 100176, China)

Abstract: In the 28nm CMOS technology node, Silicon germanium technology produces compressive stress in the device channel to improve PMOS electrical performance. Germanium are doped in stepped way based on selective silicon germanium epitaxial process, it can avoid the occurrence of dislocations due to higher dose of germanium and further improve the overall stress effect. Besides research, The thickness of the thin film stack and the concentration of germanium are important factors affecting device performance. Simultaneously changing the thickness of the stacked layer and the germanium concentration is better than the performance of device obtained by separately changing one of the influencing factors. On state current and off state current performance(I_{dsat} - I_{off}) can improve 7%, simultaneously, V_{tsat} - I_{dsat} performance, V_t - I_{off} performance and DIBL also have obvious improvement.

Key words: SiGe EPI; film stack; device performance; PMOS device

1 引言

当工艺技术发展到 28 nm 节点时, 更薄栅氧化

物和更高的沟道掺杂会使得器件产生高漏电和低性能^[1](例如漏电流变大, 饱和电流降低), 锗硅外延生长技术可以显著改善器件的性能, 嵌入式锗硅工艺

技术被广泛应用在 90 nm 及以下制程. 硅的晶格常数是 5.430 95 Å, 锗的晶格常数是 5.653 3 Å, 硅与锗的不匹配率是 4.1%, 锗硅的晶格常数大于纯硅, 在源漏区产生压应力^[1]. 沟道晶向和应力类型对于 CMOS 器件驱动电流的影响^[2], 锗硅应变技术需要 PMOS 器件做在<110>晶向上, 利用<110>沟道晶向上的压应力正比于 PMOS 器件的驱动电流大小这一特性来提高 PMOS 器件驱动电流^[1].

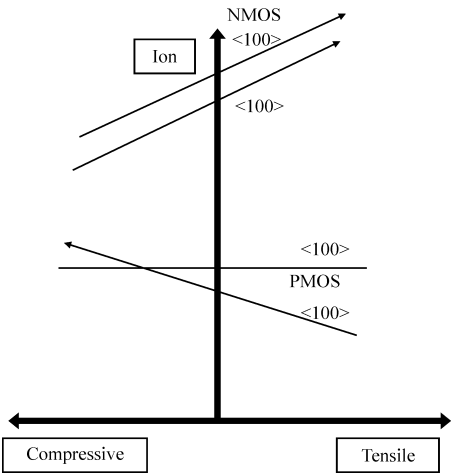


图 1 沟道晶向和应力类型对于 CMOS 器件驱动电流的影响

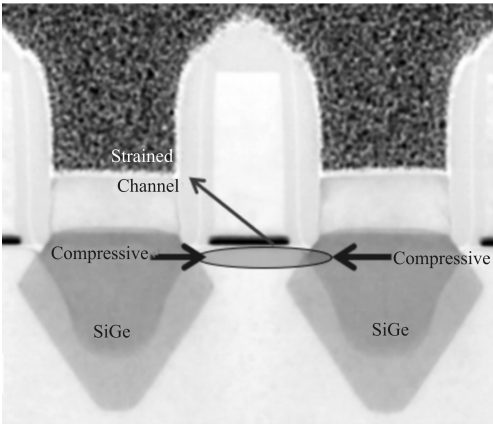


图 2 锗硅应变机理示意图

沿沟道晶向<110>方向掺杂锗会使得硅能带上升, 导致禁带宽度 (bandgap) 发生变化, 改变了空穴在导带和价带中的位置, 因空穴有效质量与其在能带中位置相关, 所以<110>方向的空穴质量相比<100>的晶向降低更多^[1,3-4], 根据式(1)迁移率与有效质量关系, 降低有效质量就可以提高迁移率;

$$\mu_p = \frac{q \tau_{mp}}{m_p}$$

(1)

式中, m_p 为空穴的有效质量; τ_{mp} 为载流子碰撞平均自由时间.

在硅中掺杂硼可以调节半导体材料的受主浓度 (acceptor density), 经过研究半导体中载流子在电场作用下由于漂移运动所形成电流, 空穴漂移电流密度可以表示为:

$$J_{p, drift} = q p v$$

(2)

式中, q 为单位电荷量; p 为单位体积的载流子浓度; v 为载流子漂移运动速度; 当在半导体掺杂施主或受主杂质时, 电子和空穴总的电流漂移密度为:

$$J = J_{n, drift} + J_{p, drift} = (q n \mu_n + q p \mu_p) E$$

(3)

式中, $q n \mu_n + q p \mu_p = \sigma$ 即为半导体材料的电导率; 在一块半导体材料中多子的浓度总是远远高于少子的浓度, 式(3)中只有一项起主要作用. 半导体材料电阻率随着掺杂浓度增加而减小, 电导率随着掺杂浓度增加而增加, 所以可以通过改变掺杂浓度来改变半导体材料的电阻率, 进而改变半导体材料电阻; 在硅帽子层 (Si cap layer) 中掺杂硼来减小源/漏电阻就是基于这一理论基础.

本篇论文介绍了一种在 28 nm 工艺节点通过对锗硅外延生长堆叠层的厚度和掺杂锗浓度做不同实验, 来获得较好的改善器件性能的方法; 缓冲层 (buffer layer) 过高的掺杂锗含量会引起晶格缺陷, 因此在缓冲层对锗含量进行阶梯式分布, 一是避免了晶格失配; 二是加强应力效果; 籽晶层 (bulk layer) 高浓度的锗含量主要是为了提高总体应力效果; 其次阶梯式分布也会起到缓解晶格缺陷问题. 缓冲层和籽晶层厚度可以增大两层材料的体积, 应力大小在一定范围内正比于薄膜层体积; 硅帽子层掺杂硼可以减小源/漏电阻; 本文从改善掺杂锗浓度与加减缓缓冲层和籽晶层薄膜沉积时间入手, 通过电性数据验证实验效果; 锗硅外延生长堆叠层如图 3 所示.

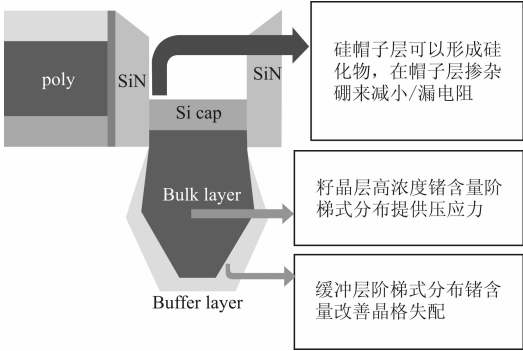


图 3 锗硅外延生长堆叠层示意图

选择性锗硅外延工艺锗含量有平直的 (flat) 和

阶梯式的(graded)两种分布,增加掺杂锗含量可以提高整体应力效果,但锗含量过高易造成位错. 阶梯式选择性锗硅外延锗含量分布起到了加强应力效果且改善晶格失配的作用. 两种分布对比如图 4、图 5 所示.

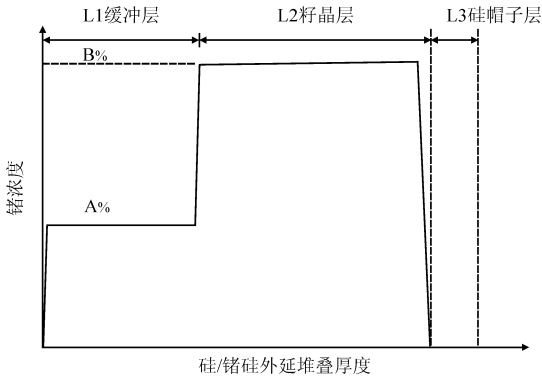


图 4 常规型选择性锗硅外延工艺锗浓度示意图

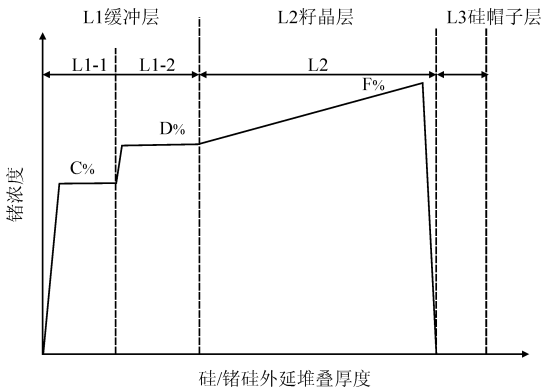


图 5 改进型阶梯式选择性锗硅外延工艺锗浓度示意图

2 器件制备

2.1 工艺流程

本文基于 28 nm 工艺技术平台,在 300 mm 硅片上进行锗硅外延生长堆叠层实验. 根据标准工艺流程,选择性锗硅外延工艺一般包括酸槽预处理、原位氢气烘焙、选择性锗硅外延三个步骤^[1]. 酸槽预处理采用 HF 和 RCA 清洗的方法,去除硅刻蚀后表面的杂质. 在原位氢气烘焙过程中,原生氧化物被去除,使得碳氧含量低于一定值,然后进行选择性锗硅的外延,所采用的硅源有 SiH_4 、 SiH_2Cl_2 , 锗源有 GeH_4 , HCl 用于抑制锗硅形成于保护层上,氢气作为载气^[1]. 在酸槽预处理后,需要控制在一定的时间进入原位烘焙腔体中,否则硅表面会产生氧化物,使得外延出来的锗硅有位错(dislocation)和堆栈缺

陷(stacking faults),导致区域漏电流偏高. 原位氢气烘焙的温度在 800°C 以下不足以去除硅表面的碳氧杂质,会使得区域漏电流偏高^[5].

如果晶格结构不是完全结晶化,那么无规则的晶体结构会引起更多的缺陷,晶格缺陷导致没有压应力释放就起不到增强载流子迁移率作用^[6-8]. 本文选择性锗硅外延工艺垂直多晶硅栅横截面为 sigma 形状. 经过外延堆叠层生长的器件结构如图 6 所示.

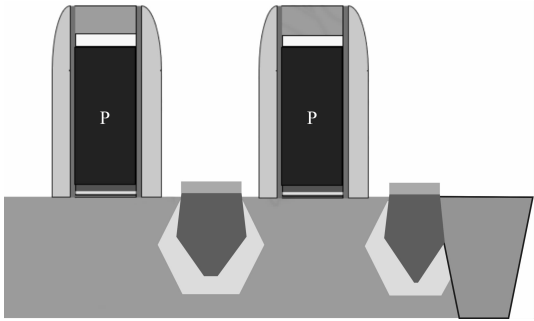


图 6 锗硅沉积示意图

2.2 分组

实验通过调整锗硅材料分层比例/ 锗浓度/同时调整锗硅材料分层比例和锗浓度,具体条件参考表 1.

表 1 实验分组条件

调整内容	#1	#2	#3	#4
调整参数	参考组	L1 thickness+	L1 Ge%+	L1 thickness+
		L2 thickness-	L2 Ge%+	L2 thickness-
				L2 Ge%+
调整幅度(沉NA 积时间/锗浓 度)	L1+Xs, L2-Ys	L1+a% L2+b%	L1+Zs L2-Ps L2+a%	

流片进行实验验证,经过晶圆测试(WAT)得到 PMOS 性能如图 7~10 所示.

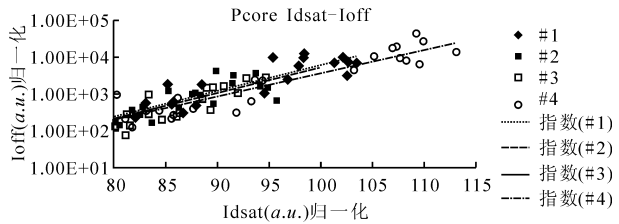


图 7 饱和电流—漏电流性能

观察图 7 可以看到漏电流与饱和电流近似成正比关系,且 4 片硅片的漏电流都随着饱和电流的增大而增大,且 #1 #2 是在参考组与改变硅/锗硅界面层厚度情况下的实验条件对比,观察性能发现 #2 在相同的饱和电流情况下有比较明显低的漏电流;

说明增加缓冲层(L1)厚度、减小籽晶层(L2)厚度即增大缓冲层体积和减小籽晶层体积可以改善 PMOS 器件性能; #1 #3 是在参考组与改变掺杂锆浓度情况下的实验条件对比,观察性能发现 #3 在相同的饱和电流情况下有较低的漏电流,说明适当的提高缓冲层和籽晶层的锆含量可以降低漏电流; #4 同时调整了锆硅材料分层比例和锆浓度,可以发现 #4 在相同的饱和电流下获得最低的漏电流,即两者同时改变可以获得最好的性能,且在 target 饱和电流=95(经归一化处理)时,漏电流相比参考组条件会有 7%的改善.

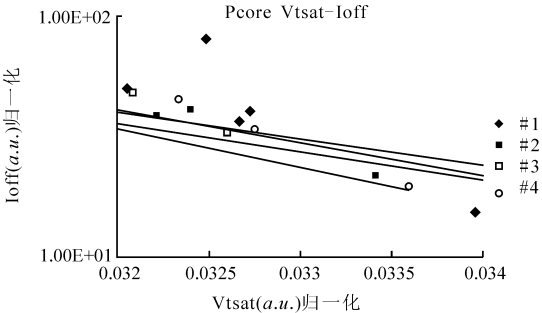


图 8 阈值电压-漏电流性能

通过图 8 可以看到 4 片硅片的漏电流随着阈值电压的增大而减小,即漏电流与阈值电压近似成反比关系; #4 在相同的阈值电压下获得最低的漏电流,即同时改变缓冲层、籽晶层体积和掺杂锆含量可以获得最好的性能,且在 target 阈值电压=0.033 (经归一化处理)时,漏电流相比参考组条件会有 10%的改善.

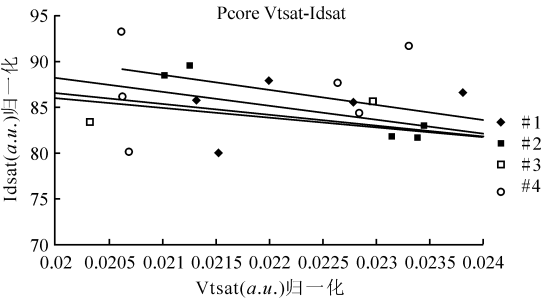


图 9 阈值电压-饱和电流性能

通过图 9 可以看到 4 片硅片的饱和电流随着阈值电压的增大而减小,即饱和电流与阈值电压近似成反比关系; #4 在相同的阈值电压下获得最高的饱和电流,即同时改变缓冲层、籽晶层体积和掺杂锆含量可以获得最好的性能,且在阈值电压 target=0.022(经归一化处理)时,饱和电流相比参考组条件会有 4%的改善.

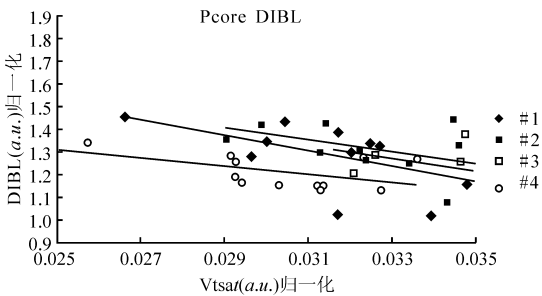


图 10 阈值电压-DIBL 性能

通过图 10 可以看到 4 片硅片的 DIBL 值随着阈值电压的增大而减小, #4 在相同的阈值电压下获得最低的 DIBL 值,DIBL 值反映了 CMOS 器件源端载流子跨过势垒高度进入沟道中的能力,DIBL 值越小,载流子越不容易进入沟道,这正是我们所期望的,即同时改变缓冲层、籽晶层体积和掺杂锆含量可以获得最好的性能,且在阈值电压 target=0.033 (经归一化处理)时,DIBL 值会有 0.1 的改善.

3 结束语

微电子器件尺寸在沿着摩尔定律逐渐缩小,进入 40 nm 节点以后,因栅介质变薄和沟道尺寸的减小,器件性能变弱,锆硅技术被引入用来提高性能.当节点发展到 28 nm 时,器件性能继续变差,这已经不能为我们所接受,锆硅外延生长堆叠技术可以在晶格<110>方向对沟道空穴施加更大的压应力从而增加 PMOS 器件驱动电流来提高运算速度.本文从调整锆硅外延堆叠层分层比例和锆浓度入手并对锆元素含量进行阶梯式分布来实验;因为锆元素若在某一层区域浓度过高会引起晶格缺陷,反而起不到压应力效果,因此对锆含量采取由低到高渐进式分布既能对沟道载流子起到压应力作用而不至于引起晶格失配;而对外延堆叠层厚度做加减可以改变两层材料分层体积,也变相的改变锆含量的分布浓度,从而对载流子起到压应力的作用;通过单独改变缓冲层、籽晶层厚度,锆含量,以及对外延薄膜层厚度和锆含量同时改进并进行流片 WAT 测试并与参考组硅片性能进行对比,得到 #4(L1 dep time+Zs;L2Ge%+a%,dep time-Ps)性能最好,其中:饱和电流-漏电流性能(Idsat-Ioff)在饱和电流 target=95 相比参考组条件漏电流会有 7%的改善;阈值电压-漏电流性能(Vtsat-Ioff)在阈值电压 target=0.033 相比参考组条件会有 10%的改善;阈值电压-饱和电流(Vtsat-Idsat)在阈值电压 target=0.22 相比参考组条件会有 4%的改善;DIBL 值在阈值电压

target=0.033 时会有 0.1 的改善,从而可以有效加强 28 nmPMOS 器件性能.

参考文献:

[1] 张汝京. 纳米集成电路制造工艺 [M]. 2 版. 北京:清华大学出版社, 2017.

[2] KOMODA T, OISHI A, SANUKI T, et al. Mobility improvement for 45nm node by combination of optimized stress and channel orientation design[C]//IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004. New York, IEEE, 2004: 217-220.

[3] 施敏. 半导体器件物理 [M]. 3 版. 西安:西安交通大学出版社,2008.

[4] PARK M S, LEE K T, KANG C Y, et al. The Effect of a Si Capping Layer on RF Characteristics of High- k Metal Gate SiGe Channel pMOSFETs[J]. IEEE Electron Device Letters, 2010, 31(10): 1104-1106.

[5] MENG X, LI Q, HUANG J, et al. Method of improving dislocation for SiGe EPI process[C]//2015 China Semiconductor Technology International Conference. Shanghai, IEEE, 2015: 1-3.

[6] WANG L L, ZHANG J C, JIANG Y L. Optimization of Ni (Pt)/Si-cap/SiGe silicidation for pMOS source/drain contact[J]. IEEE Transactions on Electron Devices, 2017, 64(5): 2067-2071.

[7] OUYANG Q, CHEN X D, MUDANAI S, et al. Two-dimensional bandgap engineering in a novel Si-SiGe pMOSFET with enhanced device performance and scalability[C]//2000 International Conference on Simulation Semiconductor Processes and Devices (Cat. No. 00TH8502). Seattle, WA, USA ,IEEE, 2000: 151-154. .

[8] BAUDOT S, ANDRIEU F, WEBER O, et al. Fully depleted strained silicon-on-insulator p-MOSFETs with recessed and embedded silicon-germanium source/drain [J]. IEEE Electron Device Letters, 2010, 31(10): 1074-1076.

作者简介:

李 帅 男,(1992-),硕士. 研究方向为微电子器件与工艺. E-mail:lee251113@126. com.

蔡小五 男,(1979-),博士,正高级工程师. 研究方向为智能功率集成电路设计、智能高边功率开关、体硅和 SOI 高压半桥驱动电路设计、低边驱动电路设计、体硅 BCD 和 SOIBCD 工艺研究、功率器件 VDMOS 设计、集成电路 ESD 保护设计.

隋振超 男,(1982-),硕士,正高级工程师. 研究方向为工艺整合与微电子器件.

(上接第 27 页)

[13] SU CUI-CUI, WANG YONG-ZHI, SHEN YU-LONG, et al. Improving Database Storage Usability with the Cloud-Based Architecture[C]//IEEE Second International Conference on Data Science in Cyberspace IEEE Computer Society. Shenzhen, China, 2017.

[14] 朱晓彦,顾旭峰. 云存储技术与应用[M]. 北京:高等

教育出版社. 2018.

作者简介:

李海荣 女,(1976-),硕士,副教授. 研究方向为云存储. E-mail:xiaofang611@126. com.

方中纯 男,(1975-),博士,副教授. 研究方向为人工智能.